



CONCURSO DE ADMISSÃO
AO
CURSO DE FORMAÇÃO DE OFICIAIS
ENGENHARIA ELETRÔNICA

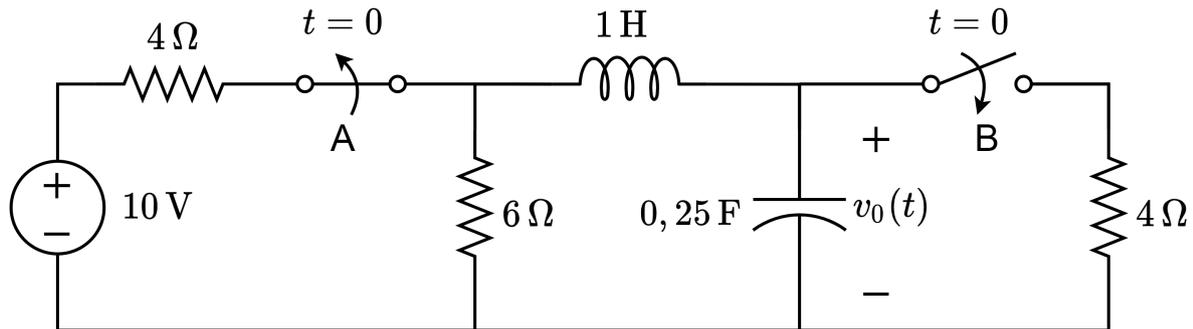
CADERNO DE QUESTÕES



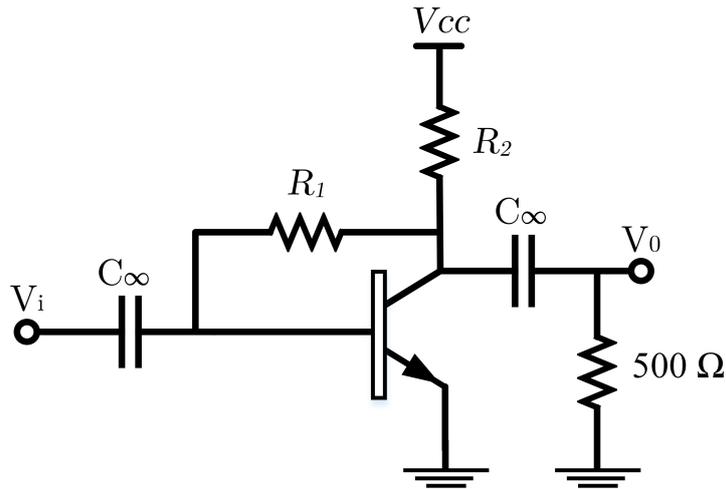
2021/2022

1ª QUESTÃO

Valor: 1,0



No circuito acima, alimentado por uma fonte de tensão, as chaves ideais A e B mudam seus estados em $t = 0$. Sabe-se que, em $t = 0^-$, a chave A encontra-se fechada, a chave B aberta e o capacitor totalmente carregado. Determine a tensão $v_0(t)$, em volts, para $t > 0$.

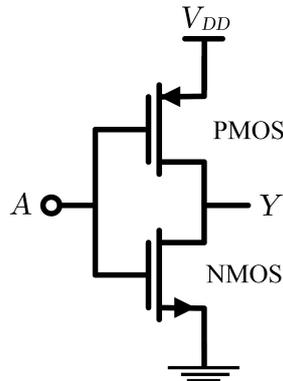
**Dados do Transistor:**

- ganho de corrente de emissor comum: $\beta = 160$;
- tensão base-emissor: $V_{BE} = 0,7 \text{ V}$;
- tensão de saturação coletor-emissor: $V_{CE,sat} = 0,2 \text{ V}$;
- corrente polarização de coletor: $I_C = 2 \text{ mA}$; e
- parâmetros híbridos: $h_{11} = 8 \text{ k}\Omega$; $h_{12} = 0$; $h_{21} = 160$; $h_{22} = 100 \mu\Omega^{-1}$.

Considerando o circuito amplificador da figura acima:

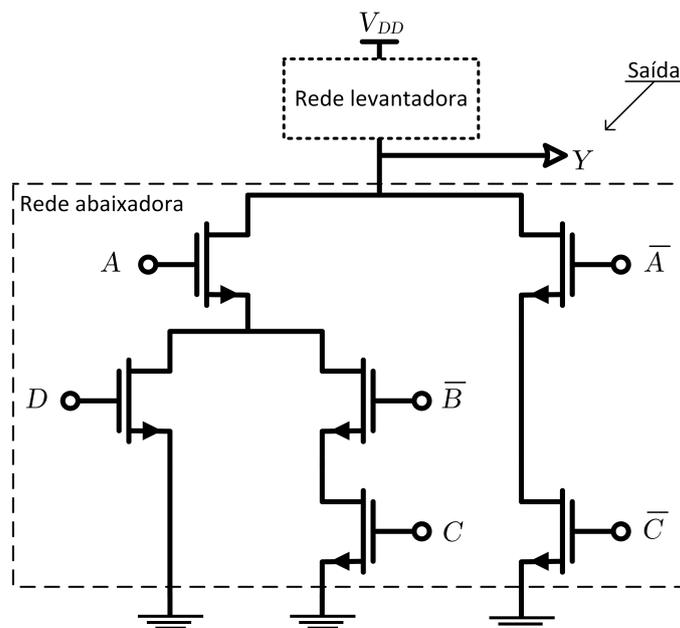
- determine os valores de R_1 , R_2 e da tensão mínima de V_{CC} para uma excursão de tensão na saída de $10V_{p-p}$;
- desenhe o modelo de pequenos sinais do circuito completo; e
- determine o ganho de pequenos sinais do amplificador.

Um inversor CMOS é uma porta lógica formada por dois transistores MOSFET operando como chaves complementares, sendo um deles de canal N (NMOS) e o outro de canal P (PMOS). A figura e a tabela a seguir mostram, respectivamente, seu circuito esquemático e funcionamento.



Entrada A (nível lógico)	NMOS	PMOS	Saída Y (nível lógico)	Função lógica
0	chave aberta	chave fechada	1	$Y = \bar{A}$
1	chave fechada	chave aberta	0	

Analogamente, portas lógicas CMOS de maior complexidade podem ser implementadas a partir da combinação de transistores PMOS em redes levantadoras (*pull-up*), responsáveis por conduzir a saída ao nível lógico '1' (V_{DD}), e de transistores NMOS em redes abaixadoras (*pull-down*), responsáveis por conduzir a saída ao nível lógico '0' (GND). Nessas portas, as redes operam de forma complementar, ou seja, para cada combinação das entradas, sempre uma das redes (*pull-up* ou *pull-down*) atua e a outra não. A figura a seguir mostra a rede abaixadora de uma porta lógica de saída Y.



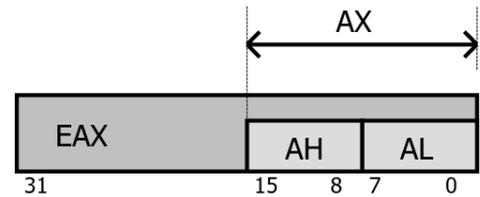
Diante do exposto:

- determine a função lógica implementada pelo conjunto das duas redes;
- desenhe a rede levantadora complementar, de forma que o circuito lógico ofereça uma saída consistente para todas as combinações de entrada.

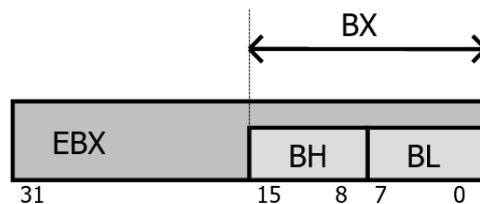
Um processador X86 em Modo Protegido usa registradores de 32 bits e pode executar diversas instruções, conforme explicações a seguir.

Registrador:

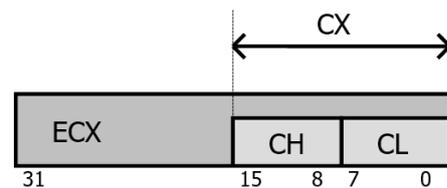
EAX: registrador de 32 bits que pode ser acessado totalmente ou por partes, sendo **AX** composto por seus 16 bits menos significativos, **AL** por seus 8 bits menos significativos e **AH** pelos seus bits de índices 8 a 15.



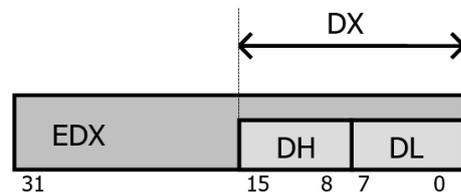
EBX: registrador de 32 bits que pode ser acessado totalmente ou por partes, sendo **BX** composto por seus 16 bits menos significativos, **BL** por seus 8 bits menos significativos e **BH** pelos seus bits de índices 8 a 15.



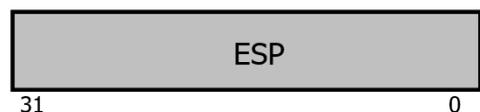
ECX: registrador de 32 bits que pode ser acessado totalmente ou por partes, sendo **CX** composto por seus 16 bits menos significativos, **CL** por seus 8 bits menos significativos e **CH** pelos seus bits de índices 8 a 15.



EDX: registrador de 32 bits que pode ser acessado totalmente ou por partes, sendo **DX** composto por seus 16 bits menos significativos, **DL** por seus 8 bits menos significativos e **DH** pelos seus bits de índices 8 a 15.



ESP: registrador ponteiro de pilha, que marca o endereço do byte menos significativo do último dado empilhado.



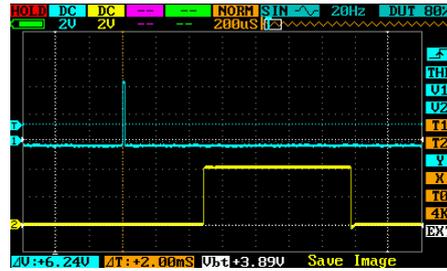
Deseja-se projetar um circuito combinacional que realize a operação de decremento unitário sobre dados de 4 bits, isto é, dado um valor X de entrada, representado pelos bits $B_3B_2B_1B_0$, sua saída deverá ser $Y = X - 1$, sendo Y representado pelos bits $S_3S_2S_1S_0$. Considere que os números negativos são representados utilizando a lógica de complemento 2.

Diante do exposto:

- a) determine as expressões mínimas de S_3 , S_2 , S_1 e S_0 , em função de B_3 , B_2 , B_1 e B_0 , na forma de soma de produtos; e
- b) projete um circuito que realize todas as funções encontradas, usando no máximo seis portas lógicas de uma ou duas entradas, sendo permitidas as portas NOT, OR, AND, NOR, NAND, XOR ou XNOR.



Foto do módulo HC-SR04 (emissor ultrassom e detector de eco).



Trigger de 10 μ s (canal 1 acima) e tempo de percurso do ultrassom (canal 2 abaixo) para um obstáculo distante de 15 cm.

Um módulo HC-SR04 é usado para medir a sua distância até um obstáculo, através da emissão e recepção de sinais de ultrassom. Para isso, injeta-se um pulso de 10 μ s em sua entrada **TRIG** e deve-se processar o pulso pelo sinal gerado em sua saída **ECHO**, cuja duração é proporcional à distância que se deseja medir, como mostrado nas figuras acima.

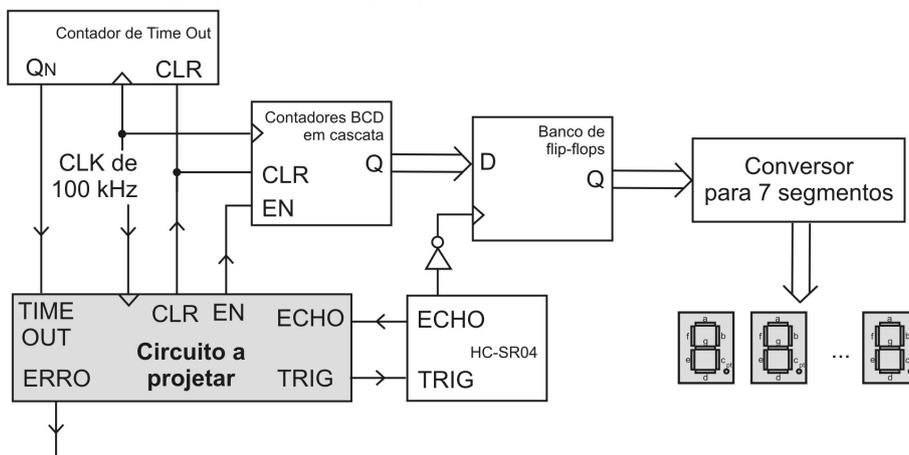
Observações:

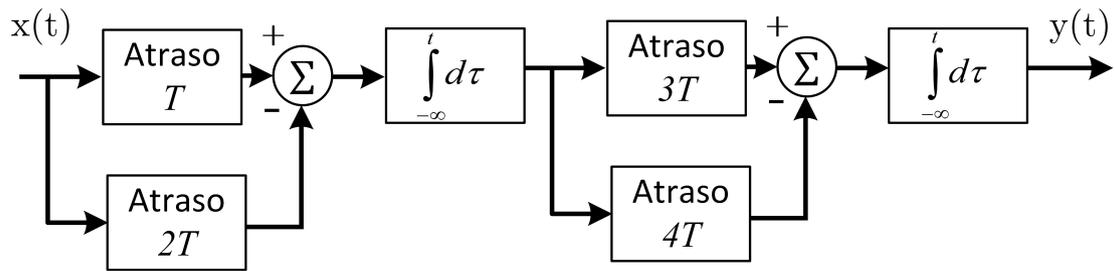
- o processo de medida é contínuo; e
- eventualmente, poderá não haver retorno do pulso **ECHO** após o gatilho do processo pelo sinal **TRIG**; por isso, usa-se um contador para detectar o decurso de tempo (quando o bit mais significativo, QN, é ativado, sinaliza-se que o tempo limite foi atingido e que um novo gatilho deve ser enviado).

Dados do circuito a ser projetado:

- sinais de entrada são **CLK** (relógio de 100 kHz), **ECHO** (retorno do módulo) e **TIME OUT** (tempo limite atingido); e
- sinais de saída são **CLR** (clear assíncrono dos contadores), **EN** (habilitador de contagens), **TRIG** (gatilho do processo) e **ERRO** (deve ser ativado quando o tempo limite for atingido e desativado com um pulso de eco recebido e finalizado dentro do tempo limite);
- o circuito a ser projetado terá como interfaces os blocos na figura abaixo, com contadores, flip-flops, conversores e displays;
- dica: gere o pulso de **TRIG** automaticamente assim que o **TIME OUT** for ativado ou o **ECHO** for detectado e finalizado.

Diante do exposto, projete o circuito destacado no diagrama da figura abaixo, de forma que se mostre continuamente no display um valor proporcional à distância do HC-SR04 ao obstáculo.



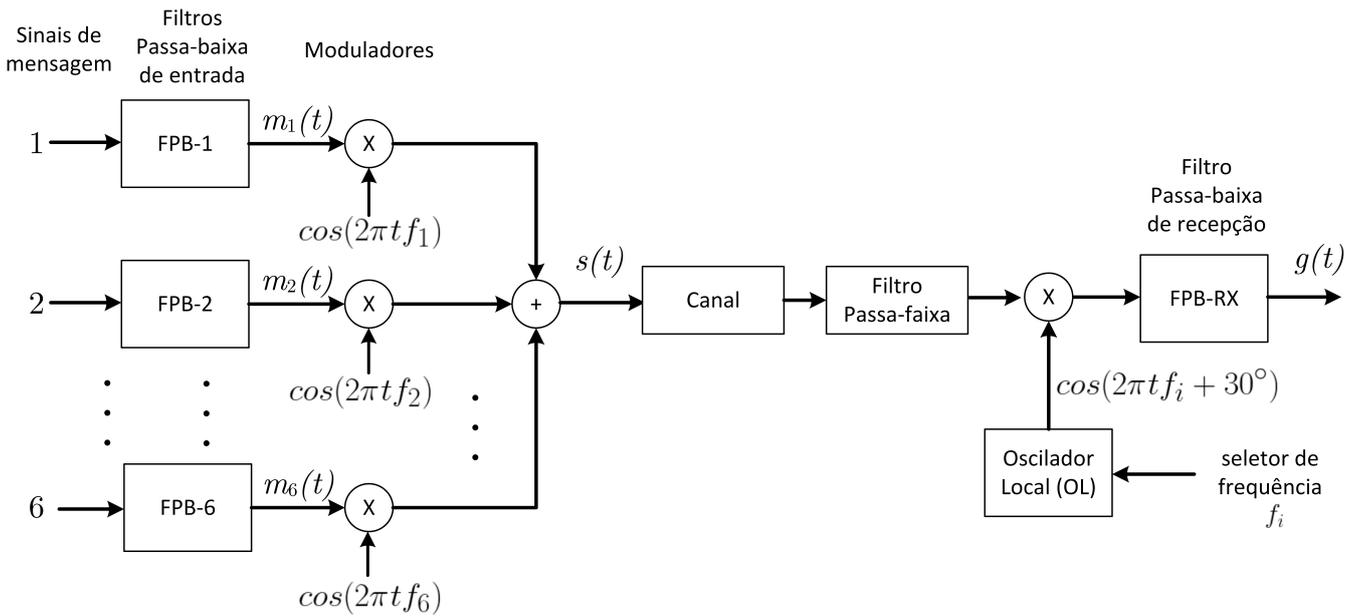


Considere:

- $h(t)$ é a resposta ao impulso do sistema;
- $H(f)$ é a transformada de Fourier de $h(t)$;
- $\text{sinc}(\lambda) = \frac{\text{sen}(\pi\lambda)}{\pi\lambda}$; e
- $\text{sen}(\theta) = \frac{e^{j\theta} - e^{-j\theta}}{2j}$, onde $j = \sqrt{-1}$.

Para o sistema representado pelo diagrama da figura:

- determine a função de transferência $H(f)$; e
- esboce a resposta em frequência do sistema $|H(f)|$.



Um sistema FDM utiliza modulação AM DSB-SC para combinar 6 sinais independentes, conforme representado na figura. Para evitar interferência entre sinais de frequências adjacentes, cada filtro passa-baixa de entrada foi projetado com uma frequência de corte adequada para cada sinal de mensagem. Para a recepção, foi utilizado um demodulador coerente único. Neste receptor, a escolha do sinal de mensagem a ser recebida é realizada alterando a frequência do oscilador local (OL).

Dados:

Filtro	FPB-1	FPB-2	FPB-3	FPB-4	FPB-5	FPB-6
Frequência de corte	6 kHz	18 kHz	12 kHz	6 kHz	18 kHz	12 kHz

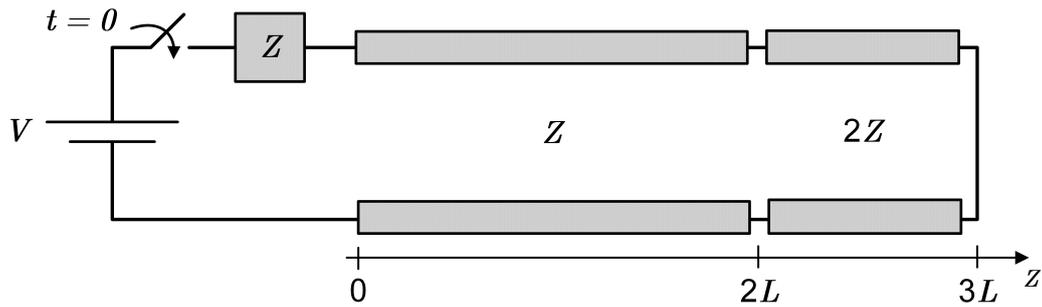
- considere que $f_1 \gg 18kHz$;
- considere que as frequências das portadoras $f_1 < f_2 < f_3 < f_4 < f_5 < f_6$; e
- as diferenças entre as frequências das portadoras adjacentes são de 50 kHz.

Observações:

- todos os filtros são ideais;
- o canal não distorce o sinal na sua faixa de passagem;
- o filtro passa-faixa possui largura de faixa suficiente para comportar o sinal $s(t)$; e
- o filtro de recepção é passa-baixa (FPB-RX).

Diante do exposto, determine:

- a largura de banda mínima do canal necessária para transmitir o sinal $s(t)$ sem distorção;
- os valores máximo e mínimo de frequência de corte que o filtro de recepção (FPB-RX) pode assumir para permitir a correta demodulação de todos os sinais de mensagem; e
- a expressão analítica $g(t)$, quando o oscilador local do receptor é ajustado para receber $m_1(t)$, supondo que o filtro de recepção (FPB-RX) tenha frequência de corte de 25 kHz.



Sinais digitais consistem basicamente no chaveamento do nível de tensão. A integridade de um sinal digital ao longo de um circuito pode ser determinada a partir da análise do circuito utilizando a teoria das linhas de transmissão. Considere uma fonte ideal de tensão DC de valor nominal V , que foi conectada a um circuito em $t = 0$. O circuito consiste de um resistor de valor nominal Z e comprimento desprezível conectado em série a uma linha de transmissão a ar de comprimento $2L$ e impedância característica Z . Essa linha de transmissão foi conectada a outra linha de transmissão a ar em curto de comprimento L e impedância característica $2Z$. Esboce a tensão ao longo das linhas de transmissão nos instantes de tempo $\frac{nL}{c}$, onde $n \in \{1, 3, 5, 7\}$ e c é a velocidade da luz no vácuo.

Observações:

- desconsidere o efeito das discontinuidades e as perdas nas linhas de transmissão.

RASCUNHO